

SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

Patent number: JP2000082683
Publication date: 2000-03-21
Inventor: NAKAO KEISAKU; SASAI YOICHI; SOSHIRO YUUJI; NOMA JUNJI
Applicant: MATSUSHITA ELECTRONICS INDUSTRY CORP
Classification:
- international: H01L21/28; H01L21/768; H01L27/10; H01L27/108; H01L21/8242; H01L21/8247; H01L29/788; H01L29/792
- european:
Application number: JP19990181608 19990628
Priority number(s):

Abstract of JP2000082683

PROBLEM TO BE SOLVED: To enhance reliability of a contact hole for connecting one semiconductor element formed on a substrate electrically with the other semiconductor element formed on an insulation film covering the semiconductor element.

SOLUTION: An underlying iridium conductive film 20 of about 0.1 μm thick is formed on a drain region 15 and the wall face of a contact hole 19a made in an insulation film 19 covering a transistor 17 on a substrate 11 while leaving the inner and upper parts of the contact hole 19a and a platinum plug 21 is formed at the upper part of the contact hole 19a while filling the inside thereof. A capacitive element 28 is formed of a lower platinum electrode 25, a capacitive insulation film 26 of $\text{SrBi}_2\text{Ta}_2\text{O}_9$, and an upper platinum electrode 27 on the contact hole 19a of the insulation film 19 while touching the upper end face of the underlying conductive film 20 and the plug 21.

Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82683

(P2000-82683A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl. ⁷	識別記号	F I	テラート (参考)
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 Z
21/768		27/10	4 5 1
27/10	4 5 1	21/90	C
27/108		27/10	6 2 1 Z
21/8242			6 5 1

審査請求 未請求 請求項の数32 O L (全 14 頁) 最終頁に続く

(21) 出願番号	特願平11-181608	(71) 出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22) 出願日	平成11年6月28日 (1999.6.28)	(72) 発明者	中尾 圭策 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(31) 優先権主張番号	特願平10-188660	(72) 発明者	佐々井 洋一 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(32) 優先日	平成10年7月3日 (1998.7.3)	(74) 代理人	100077931 弁理士 前田 弘 (外1名)
(33) 優先権主張国	日本 (J P)		

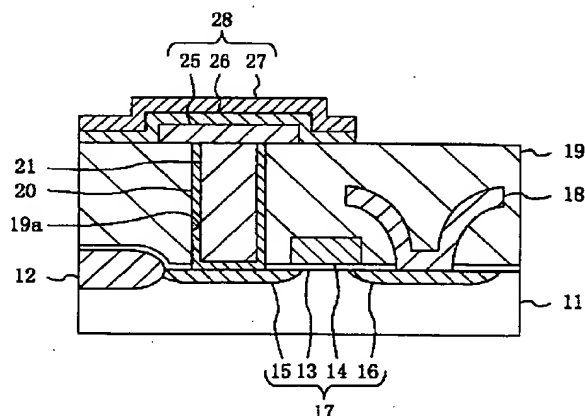
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 基板上に形成された一の半導体素子と該半導体素子を覆う絶縁膜上に形成される他の半導体素子とを電氣的に接続するコンタクトホール19の信頼性を向上させる。

【解決手段】 基板11上のトランジスタ17を覆う絶縁膜19のコンタクトホール19aには、該コンタクトホール19aの内部及び上部を残して、その壁面及びドレイン領域15上に、イリジウムからなり膜厚が0.1 μm程度の下地導電膜20が形成されており、コンタクトホール19aの内部及び上部には白金からなるプラグ21が充填されて形成されている。絶縁膜19におけるコンタクトホール19a上には、下地導電膜20及びプラグ21の上端面と接するように、白金からなる下部電極25とSrBi₂Ta₂O₇からなる容量絶縁膜26と白金からなる上部電極27とにより構成された容量素子28が形成されている。



【特許請求の範囲】

【請求項1】 半導体素子が形成された基板と、前記基板の上に、接続孔を有し前記半導体素子を覆うように形成された絶縁膜と、前記接続孔の少なくとも下部に形成され、前記半導体素子と電気的に接続された白金族元素を含む下地導電膜と、前記接続孔の上部に形成され、白金族元素を含む導電膜とを備えていることを特徴とする半導体装置。

【請求項2】 前記接続孔の深さは、その開口径の最小値よりも大きい等しいことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記導電膜の上に形成された誘電体膜をさらに備えていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記導電膜は前記絶縁膜の上における前記接続孔の周縁部に広がると共に、前記導電膜の上面は前記接続孔の上端部よりも高くなるように形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記導電膜の上に形成された誘電体膜をさらに備えていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記絶縁膜の上に形成され、前記導電膜からなる下部電極と前記誘電体膜からなる容量絶縁膜とを有する容量素子をさらに備えていることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記導電膜は前記接続孔の上部に充填されるように形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記導電膜は前記絶縁膜の上における前記接続孔の周縁部に広がると共に、前記導電膜の上面は前記接続孔の上端部よりも高くなるように形成されていることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記導電膜の上に形成された誘電体膜をさらに備えていることを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記絶縁膜の上に形成され、前記導電膜からなる下部電極と前記誘電体膜からなる容量絶縁膜とを有する容量素子をさらに備えていることを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記導電膜の上面はほぼ平坦となるように形成されていることを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記下地導電膜は前記接続孔の壁面にも形成されており、前記下地導電膜の端面の少なくとも一部分は、前記導電膜の端面とほぼ連続するように形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項13】 前記導電膜は前記接続孔の上部に充填されるように形成されていることを特徴とする請求項1

2に記載の半導体装置。

【請求項14】 半導体素子が形成された基板と、前記基板の上に、接続孔を有し前記半導体素子を覆うように形成された絶縁膜と、前記接続孔の上部に形成され、白金族元素を含む導電膜と、前記接続孔の下部に形成され、導電性を有し前記半導体素子と電気的に接続されると共に、前記導電膜の構成元素が基板側に拡散することを防止するバリア層とを備えていることを特徴とする半導体装置。

【請求項15】 前記バリア層は金属窒化物からなることを特徴とする請求項14に記載の半導体装置。

【請求項16】 前記接続孔における前記バリア層と前記導電膜との間に形成され、白金族元素を含む下地導電膜をさらに備えていることを特徴とする請求項14に記載の半導体装置。

【請求項17】 前記導電膜は前記絶縁膜の上における前記接続孔の周縁部に広がると共に、前記導電膜の上面は前記接続孔の上端部よりも高くなるように形成されていることを特徴とする請求項16に記載の半導体装置。

【請求項18】 前記導電膜の上に形成された誘電体膜をさらに備えていることを特徴とする請求項17に記載の半導体装置。

【請求項19】 前記絶縁膜の上に形成され、前記導電膜からなる下部電極と前記誘電体膜からなる容量絶縁膜とを有する容量素子をさらに備えていることを特徴とする請求項18に記載の半導体装置。

【請求項20】 前記導電膜の上面はほぼ平坦となるように形成されていることを特徴とする請求項19に記載の半導体装置。

【請求項21】 前記下地導電膜は前記接続孔の壁面にも形成されており、前記下地導電膜の端面は、該端面の少なくとも一部分が前記導電膜の端面とほぼ連続するように形成されていることを特徴とする請求項16に記載の半導体装置。

【請求項22】 前記導電膜は前記接続孔の上部に充填されるように形成されていることを特徴とする請求項21に記載の半導体装置。

【請求項23】 半導体素子が形成された基板の上に前記半導体素子を覆う絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜に接続孔を形成した後、白金族元素を含む下地導電膜を、前記接続孔の少なくとも下部に前記半導体素子と電気的に接続されるように形成する下地導電膜形成工程と、白金族元素を含む導電膜を、前記下地導電膜を電極とする電気めっき法により前記接続孔の上部に形成する導電膜形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項24】 前記電気めっき法は、前記下地導電膜

に対する電圧の印加を断続して行なうことを特徴とする請求項23に記載の半導体装置の製造方法。

【請求項25】 前記下地導電膜形成工程は前記下地導電膜を前記接続孔の壁面にも形成する工程を含み、導電膜形成工程よりも後に、前記下地導電膜及び導電膜に対して、前記下地導電膜の端面の少なくとも一部分と前記導電膜の端面の少なくとも一部分とがほぼ連続するようにバタニングするバタニング工程をさらに備えていることを特徴とする請求項23に記載の半導体装置の製造方法。

【請求項26】 前記バタニング工程よりも後に、前記導電膜の上に誘電体膜を形成する工程をさらに備えていることを特徴とする請求項25に記載の半導体装置の製造方法。

【請求項27】 半導体素子が形成された基板の上に前記半導体素子を覆う絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜に接続孔を形成した後、導電性を有し前記接続孔に形成される導電膜から該導電膜の構成元素が基板側に拡散することを防止すると共に前記半導体素子と電気的に接続されるバリア層を前記接続孔の下部に形成するバリア層形成工程と、白金族元素を含む導電膜を前記接続孔の上部に形成する導電膜形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項28】 前記導電膜形成工程は、白金族元素を含む下地導電膜を前記接続孔の上部を残して前記バリア層の上に形成する工程と、前記下地導電膜を電極とする電気めっき法により、前記導電膜を前記接続孔の上部に形成する工程とを含むことを特徴とする請求項27に記載の半導体装置の製造方法。

【請求項29】 半導体素子が形成された基板の上に前記半導体素子を覆う絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜に接続孔を形成した後、白金族元素を含む下地導電膜を、前記接続孔の少なくとも下部に前記半導体素子と電気的に接続されるように形成する下地導電膜形成工程と、前記絶縁膜の接続孔部分に開口部を有するマスクパターンを前記絶縁膜の上に形成するマスクパターン形成工程と、白金族元素を含む導電膜を、前記下地導電膜を電極とする電気めっき法により、前記マスクパターンを用いて前記接続孔の上部に形成する導電膜形成工程と、前記マスクパターンを除去した後、前記下地導電膜に対して該下地導電膜の前記マスクパターンが形成されていた領域を除去するバタニングを行なう下地導電膜バタニング工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項30】 前記接続孔形成工程と前記下地導電膜形成工程との間に、前記接続孔の下部に、導電性を有し前記導電膜から該導電膜の構成元素が基板側に拡散することを防止するバリア層を形成する工程をさらに備えていることを特徴とする請求項29に記載の半導体装置の製造方法。

【請求項31】 前記下地導電膜バタニング工程よりも後に、前記導電膜の上に誘電体膜を形成する工程をさらに備えていることを特徴とする請求項29に記載の半導体装置の製造方法。

【請求項32】 前記下地導電膜バタニング工程よりも後に、前記導電膜の上に、誘電体膜からなる容量絶縁膜と上部電極とを形成することにより、前記導電膜からなる下部電極と前記容量絶縁膜と前記上部電極とから構成される容量素子を形成する工程をさらに備えていることを特徴とする請求項29に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上の絶縁膜に形成されるコンタクトホール（接続孔）を有する半導体装置、特に、半導体素子と容量素子とが高信頼性を持つコンタクトホール内のプラグを介して電気的に接続されるDRAM又は強誘電体メモリ等の半導体メモリを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体メモリ装置の集積度の向上に伴い、メモリセルに使用される容量素子の蓄積電荷量を確保する目的で、比誘電率が30以上の誘電体（以下、高誘電体と呼ぶ。）を容量絶縁膜とする容量素子を半導体基板に集積する技術が注目を集めている。さらに、低電圧及び高速動作が可能な不揮発性メモリとして強誘電体を容量絶縁膜に用いた、いわゆる強誘電体メモリが注目を集めている。高誘電体又は強誘電体の材料として、 Ta_2O_5 、 $SrBi_2Ta_2O_9$ 、又は $Ba_xSr_{1-x}TiO_3$ （但し、 x は $0 \leq x \leq 1$ とする。）等の、金属の酸化物からなる誘電体が用いられ、これらの誘電体を半導体基板上に集積して形成する技術の開発が強誘電体メモリを実現する上で必須となっている。

【0003】以下、従来の半導体メモリ装置について図面を参照しながら説明する。

【0004】図9は従来の半導体メモリ装置の断面構成を示している。図9に示すように、III族元素がドーピングされたp形シリコンからなる基板101上には、素子分離膜102により区画された領域に、酸化シリコン（ SiO_2 ）からなるゲート絶縁膜103を介在させたポリシリコンからなるゲート電極104と、基板101の上部におけるゲート電極104のゲート長方向に形成され、V族元素がそれぞれドーピングされたドレイン領域105とソース領域106とにより構成されたトランジスタ

107が形成されている。

【0005】ソース領域106上には、ポリシリコンからなるビット線108が形成され、トランジスタ107及びビット線108はSiO₂からなる絶縁膜109により覆われている。絶縁膜109におけるドレイン領域105の上側の領域には、コンタクトホール109aが形成され、該コンタクトホール109aには、ポリシリコンからなるプラグ110が充填されている。

【0006】絶縁膜109上にはプラグ110を覆うように、白金(Pt)からなる下部電極111、SrBi₂Ta₂O₇からなる容量絶縁膜112及び白金からなる上部電極113により構成された容量素子114が形成されている。下部電極111とプラグ110の間には下部電極111を構成する白金がプラグ110中に拡散しないようにするバリア層115が設けられている。このバリア層115とプラグ110の間にはオーミックコンタクトが保たれている。

【0007】通常、半導体メモリ装置を形成した後に、容量素子114の特性が良好に保たれるように、酸素雰囲気中で半導体メモリ装置に対するアニール処理を行なっている。従って、バリア層115には、このアニール処理時にポリシリコンからなるプラグ110の表面が酸化されにくく且つポリシリコン及び下部電極111の白金と反応しない、窒化チタン(TiN)等の窒化物又は酸化イリジウム(IrO₂)等の酸化物が用いられている。

【0008】

【発明が解決しようとする課題】しかしながら、前記従来の半導体メモリ装置は以下に示すような問題がある。バリア層115に窒化チタンを用いた場合には、該窒化チタンが前述のアニール処理により酸化されることによりバリア層115の導電性が失われやすくなるため、トランジスタ107と容量素子114との間の電氣的接続が不十分となる。

【0009】また、バリア層115に酸化イリジウム等の酸化物を用いた場合には、バリア層115を形成する際にプラグ110の上面が酸素プラズマにさらされてプラグ110の上面が酸化されることにより、該プラグ110の導電性が失なわれるため、同様にトランジスタ107と容量素子114との間の電氣的接続が不十分となる。従って、いずれの場合も半導体メモリ装置が動作不良を起こし易くなるという問題がある。

【0010】本発明は、前記従来の問題を解決し、基板上に形成された一の半導体素子と該半導体素子を覆う絶縁膜上に形成される他の半導体素子とを電氣的に接続するコンタクトホールに対する高信頼性を得られるようにすることを目的とする。

【0011】

【課題を解決するための手段】前記の目的を達成するため、本発明は、コンタクトホールである接続孔の内部に

形成するプラグを白金族元素を含む導電膜とする構成とする。さらには、基板とプラグとの間に金属窒化物からなるバリア層を設ける構成とする。

【0012】具体的に、本発明に係る第1の半導体装置は、半導体素子が形成された基板と、基板の上に、接続孔を有し半導体素子を覆うように形成された絶縁膜と、接続孔の少なくとも下部に形成され、半導体素子と電氣的に接続された白金族元素を含む下地導電膜と、接続孔の上部に形成され、白金族元素を含む導電膜とを備えている。

【0013】第1の半導体装置によると、接続孔の少なくとも下部に形成されている下地導電膜と、接続孔の上部に形成されている導電膜とが共に白金族元素を含むため、製造時の酸素雰囲気によるアニール処理時に、下地導電膜及び導電膜は酸化されないか、酸化されても導電性を保つ。その結果、下地導電膜及び導電膜と半導体素子との電氣的な接続が良好のまま維持されるので、装置の信頼性を向上させることができる。

【0014】第1の半導体装置において、接続孔の深さがその開口径の最小値よりも大きいことが好ましい。このようにすると、接続孔のアスペクト比が1よりも大きいため、半導体素子の集積度を上げることができる。

【0015】第1の半導体装置は、導電膜の上に形成された誘電体膜をさらに備えていることが好ましい。このようにすると、導電膜が白金族元素を含むため、プラグである該導電膜の上端部をそのまま容量素子の下部電極とすることができるので、下部電極を形成する工程を省略できる。また、形成される容量素子のサイズを小さくできる上に、誘電体膜を強誘電体とすれば、不揮発性メモリ装置を実現できる。

【0016】第1の半導体装置において、導電膜が絶縁膜の上における接続孔の周縁部に広がると共に、導電膜の上面が接続孔の上端部よりも高くなるように形成されていることが好ましい。このようにすると、導電膜の上端部が接続孔の上端部から突出するため、導電膜の上端部を容量素子の下部電極として利用し易くなる。また、下地導電膜を一電極とする電気めっき法を用いると、プラグとなる導電膜を下地導電膜上に速やかに充填できる。

【0017】この場合に、第1の半導体装置は、導電膜の上に形成された誘電体膜をさらに備えていることが好ましい。このようにすると、導電膜の上端部を容量素子の下部電極とし、該導電膜の上に形成された誘電体膜を容量絶縁膜とし、さらに、該容量絶縁膜の上に上部電極を形成すれば、接続孔の上に容量素子を確実に形成できる。

【0018】この場合に、第1の半導体装置は、絶縁膜の上に形成され、導電膜からなる下部電極と誘電体膜からなる容量絶縁膜とを有する容量素子をさらに備えてい

ることが好ましい。このようにすると、半導体素子をトランジスタとすれば、トランジスタと容量素子との電気的導通に優れる半導体メモリ装置を実現できる。

【0019】第1の半導体装置において、導電膜が接続孔の上部に充填されるように形成されていることが好ましい。このようにすると、導電膜の電気抵抗が小さくなるため、装置の動作特性が向上する。

【0020】この場合の導電膜が絶縁膜の上における接続孔の周縁部に広がると共に、導電膜の上面が接続孔の上端部よりも高くなるように形成されていることが好ましい。

【0021】この場合の第1の半導体装置は、導電膜の上に形成された誘電体膜をさらに備えていることが好ましい。

【0022】この場合の第1の半導体装置は、絶縁膜の上に形成され、導電膜からなる下部電極と誘電体膜からなる容量絶縁膜とを有する容量素子をさらに備えていることが好ましい。

【0023】この場合に、導電膜の上面がほぼ平坦となるように形成されていることが好ましい。このようにすると、導電膜の上に誘電体膜を形成する場合にも、誘電体膜の膜厚が均一となるため、該誘電体膜を容量絶縁膜として用いると、容量素子としての電気的特性が向上する。

【0024】第1の半導体装置において、下地導電膜が接続孔の壁面にも形成されており、下地導電膜の端面の少なくとも一部分が、導電膜の端面とほぼ連続するように形成されていることが好ましい。このようにすると、導電膜の上端部（上面）を誘電体膜により覆う場合に、下地導電膜と導電膜とを一体に覆うことができるため、該誘電体膜を容量絶縁膜として利用し易くなる。

【0025】この場合に、導電膜が接続孔の上部に充填されるように形成されていることが好ましい。

【0026】本発明に係る第2の半導体装置は、半導体素子が形成された基板と、基板の上に、接続孔を有し半導体素子を覆うように形成された絶縁膜と、接続孔の上部に形成され、白金族元素を含む導電膜と、接続孔の下部に形成され、導電性を有し半導体素子と電気的に接続されると共に、導電膜の構成元素が基板側に拡散することを防止するバリア層とを備えている。

【0027】第2の半導体装置によると、プラグに白金族元素を含む導電膜を用いているため、第1の半導体装置と同様の効果を得られる上に、接続孔の下部に導電膜の構成元素が基板側に拡散することを防止するバリア層を備えているため、白金族元素と基板材料との間の反応を防止できるので、装置の動作特性をさらに向上させることができる。

【0028】第2の半導体装置において、バリア層が金属窒化物からなることが好ましい。このようにすると、白金族元素の基板側への拡散を確実に防止できる。

【0029】第2の半導体装置は、接続孔におけるバリア層と導電膜との間に形成され、白金族元素を含む下地導電膜をさらに備えていることが好ましい。

【0030】この場合の第2の半導体装置において、導電膜が絶縁膜の上における接続孔の周縁部に広がると共に、導電膜の上面が接続孔の上端部よりも高くなるように形成されていることが好ましい。

【0031】この場合の第2の半導体装置は、導電膜の上に形成された誘電体膜をさらに備えていることが好ましい。

【0032】この場合の第2の半導体装置は、絶縁膜の上に形成され、導電膜からなる下部電極と誘電体膜からなる容量絶縁膜とを有する容量素子をさらに備えていることが好ましい。

【0033】この場合の第2の半導体装置において、導電膜の上面はほぼ平坦となるように形成されていることが好ましい。

【0034】第2の半導体装置において、下地導電膜が接続孔の壁面にも形成されており、下地導電膜の端面の少なくとも一部分が導電膜の端面とほぼ連続するように形成されていることが好ましい。

【0035】この場合に、導電膜が接続孔の上部に充填されるように形成されていることが好ましい。

【0036】本発明に係る第1の半導体装置の製造方法は、半導体素子が形成された基板の上に該半導体素子を覆う絶縁膜を形成する絶縁膜形成工程と、絶縁膜に接続孔を形成した後、白金族元素を含む下地導電膜を接続孔の少なくとも下部に半導体素子と電気的に接続されるように形成する下地導電膜形成工程と、白金族元素を含む導電膜を、下地導電膜を電極とする電気めっき法により接続孔の上部に形成する導電膜形成工程とを備えている。

【0037】第1の半導体装置の製造方法によると、下地導電膜形成工程において、例えばスパッタ法等を用いれば、接続孔の上部を残してその下部及び壁面を含む絶縁膜の全面に下地導電膜が形成される。従って、次の電気めっき法を用いる導電膜形成工程において、下地導電膜を陰電極とすれば、アスペクト比が1よりも大きいいため、スパッタ法等の物理的蒸着法では白金族元素を含む導電膜を接続孔に充填することが困難であるような場合であっても、接続孔を確実に且つ迅速に充填できる。

【0038】第1の半導体装置の製造方法において、電気めっき法が、下地導電膜に対する電圧の印加を断続して行なうことが好ましい。このようにすると、下地導電膜に対する電圧の印加を中断している間に、白金族元素のイオン濃度が回復するため、導電膜を確実に形成できる。

【0039】第1の半導体装置の製造方法は、下地導電膜形成工程が下地導電膜を接続孔の壁面にも形成する工程を含み、導電膜形成工程よりも後に、下地導電膜及び

導電膜に対して、下地導電膜の端面の少なくとも一部分と導電膜の端面の少なくとも一部分とがほぼ連続するようにパターニングするパターニング工程をさらに備えていることが好ましい。このようにすると、導電膜の上端部（上面）を誘電体膜により覆う場合に、下地導電膜と導電膜とを一体に覆うことができるため、該誘電体膜を容量絶縁膜として利用し易くなる。

【0040】第1の半導体装置の製造方法は、パターニング工程よりも後に、導電膜の上に誘電体膜を形成する工程をさらに備えていることが好ましい。このようにすると、白金族元素を含む導電膜の上端部をそのまま容量素子の下部電極とすることができるため、下部電極を形成する工程を省略できる。また、形成される容量素子のサイズを小さくできる上に、誘電体膜を強誘電体とすれば、不揮発性メモリ装置を実現できる。

【0041】本発明に係る第2の半導体装置の製造方法は、半導体素子が形成された基板の上に該半導体素子を覆う絶縁膜を形成する絶縁膜形成工程と、絶縁膜に接続孔を形成した後、導電性を有し接続孔に形成される導電膜から該導電膜の構成元素が基板側に拡散することを防止すると共に半導体素子と電気的に接続されるバリア層を接続孔の下部に形成するバリア層形成工程と、白金族元素を含む導電膜を接続孔の上部に形成する導電膜形成工程とを備えている。

【0042】第2の半導体装置の製造方法によると、接続孔に形成される導電膜から該導電膜の構成元素が基板側に拡散することを防止するバリア層を接続孔の下部に形成するため、本発明に係る第2の半導体装置を確実に実現できる。

【0043】第2の半導体装置の製造方法において、導電膜形成工程が、白金族元素を含む下地導電膜を接続孔の上部を残してバリア層の上に形成する工程と、下地導電膜を電極とする電気めっき法により、導電膜を接続孔の上部に形成する工程とを含むことが好ましい。このように、接続孔の上部を残してその壁面及びバリア層の上面を含む絶縁膜の全面に下地導電膜を形成しておき、この下地導電膜を陰電極とすれば、スパッタ法等の物理的蒸着法では導電膜を接続孔の上部にまで充填することが困難であるような場合でも、導電膜により接続孔を確実に且つ迅速に充填できる。

【0044】本発明に係る第3の半導体装置の製造方法は、半導体素子が形成された基板の上に該半導体素子を覆う絶縁膜を形成する絶縁膜形成工程と、絶縁膜に接続孔を形成した後、白金族元素を含む下地導電膜を接続孔の少なくとも下部に半導体素子と電気的に接続されるように形成する下地導電膜形成工程と、絶縁膜の接続孔部分に開口部を有するマスクパターンを絶縁膜の上に形成するマスクパターン形成工程と、白金族元素を含む導電膜を、下地導電膜を電極とする電気めっき法により、マスクパターンを用いて接続孔の上部に形成する導電膜形

成工程と、マスクパターンを除去した後、下地導電膜に対して該下地導電膜のマスクパターンが形成されていた領域を除去するパターニングを行なう下地導電膜パターニング工程とを備えている。

【0045】第3の半導体装置の製造方法によると、第1の半導体装置の製造方法と同様の効果を得られる上に、下地導電膜を形成した後、絶縁膜上に該絶縁膜の接続孔を除く領域をマスクするマスクパターンを形成するため、続く導電膜形成工程において、白金族元素を含む導電膜を、下地導電膜を陰電極とする電気めっき法を用いて接続孔の上部にのみ確実に充填できると共に、導電膜に対するパターニングが不要となる。

【0046】第3の半導体装置の製造方法は、接続孔形成工程と下地導電膜形成工程との間に、接続孔の下部に、導電性を有し導電膜から該導電膜の構成元素が基板側に拡散することを防止するバリア層を形成する工程をさらに備えていることが好ましい。このようにすると、バリア層により白金族元素と基板材料の構成元素との間の反応を防止できるので、装置の動作特性をさらに向上させることができる。

【0047】第3の半導体装置の製造方法は、下地導電膜パターニング工程よりも後に、導電膜の上に誘電体膜を形成する工程をさらに備えていることが好ましい。このようにすると、白金族元素を含む導電膜の上端部をそのまま容量素子の下部電極とすることができるため、下部電極を形成する工程を省略できる。また、形成される容量素子のサイズを小さくできる上に、誘電体膜を強誘電体とすれば、不揮発性メモリ装置を実現できる。

【0048】第3の半導体装置の製造方法は、下地導電膜パターニング工程よりも後に、導電膜の上に、誘電体膜からなる容量絶縁膜と上部電極とを形成することにより、導電膜からなる下部電極と容量絶縁膜と上部電極とから構成される容量素子を形成する工程をさらに備えていることが好ましい。このようにすると、基板上の半導体素子と該半導体素子を覆う絶縁膜上の容量素子との電気的な接続が良好な半導体メモリ装置を実現できる。

【0049】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0050】図1は本発明の第1の実施形態に係る半導体メモリ装置の平面構成を示し、図2は図1のII-II線における断面構成を示している。図2に示すように、II族元素がドーブされたp形シリコンからなる基板11上には、LOCOS膜等からなる素子分離膜12により区画された領域に、SiO₂からなるゲート絶縁膜13を介在させたポリシリコンからなるワード線としてのゲート電極14と、基板11の上部におけるゲート電極14のゲート長方向に形成され、V族元素がそれぞれドーブされたドレイン領域15とソース領域16とにより構成されたトランジスタ17が形成されている。

【0051】ソース領域16上には、ポリシリコンからなるビット線18が形成され、トランジスタ17及びビット線18は、膜厚が約0.8 μ mのSiO₂からなる絶縁膜19により覆われている。絶縁膜19におけるドレイン領域15の上側の領域には、開口寸法が0.5 μ m \times 0.5 μ m程度のコンタクトホール19aが形成されている。

【0052】コンタクトホール19aには、該コンタクトホール19aの内部及び上部を残してその壁面及びドレイン領域15上に、白金族元素のイリジウム(Ir) 10 からなり、膜厚が約0.1 μ mの下地導電膜20が形成されており、コンタクトホール19aの内部及び上部には白金(Pt)からなる導電膜としてのプラグ21が充填されて形成されている。

【0053】絶縁膜19のコンタクトホール19a上には、下地導電膜20及びプラグ21の上端面と接するように、膜厚が約0.1 μ mの白金からなる下部電極25と膜厚が約0.2 μ mのSrBi₂Ta₂O₇からなる容量絶縁膜26と膜厚が約0.2 μ mの白金からなる上部電極27とにより構成された容量素子28が形成されて 20 いる。

【0054】第1の実施形態によると、容量素子28に対する酸素雰囲気におけるアニール処理時に、プラグ21が酸化されない白金により構成されているため、プラグ21に酸素が拡散したとしても、トランジスタ17と容量素子28との間の電気的導通が損なわれることがない。また、下地導電膜20に、酸化されても導電性を有すると共に酸化されたときの酸素の拡散を抑制する効果が高いイリジウムを用いているため、シリコンからなるドレイン領域15が酸素の拡散によって酸化されることを防止できる。その結果、トランジスタ17と容量素子28との導通不良が生じなくなるので、図1に示すようなトランジスタ17と容量素子28とがアレイ状に高密度に集積化された半導体メモリ装置であってもその動作を保証できるようになる。

【0055】以下、前記のように構成された半導体メモリ装置の製造方法について図面を参照しながら説明する。

【0056】図3(a)～図3(c)は本発明の第1の実施形態に係る半導体メモリ装置の製造方法の工程順の断面構成を示している。

【0057】まず、図3(a)に示すように、p形シリコンからなる基板11上に所定の素子分離膜12を形成した後、基板11上に全面にわたって熱酸化膜からなるゲート絶縁膜13を形成する。続いて、ゲート絶縁膜13上に全面にわたってポリシリコン膜を堆積し、堆積したポリシリコン膜に対してバターンニングを行なってポリシリコンからなるゲート電極14を形成する。その後、ゲート電極14をマスクとするイオン注入法を用いて、基板11の上部におけるゲート長方向の領域にそれぞれ 50

ヒ素(As)又はリン(P)が注入されてなるドレイン領域15及びソース領域16を形成してMOS型のトランジスタ17を形成する。

【0058】次に、図3(b)に示すように、ソース領域16と接続されるようにポリシリコンからなるビット線18を形成する。ここでは、図1に示すように、ビット線18をゲート電極14と交差するように設けている。その後、基板11上に全面にわたって膜厚が約0.8 μ mでTEOS膜等からなる絶縁膜19をトランジスタ17及びビット線18を覆うように堆積する。続いて、堆積した絶縁膜19におけるドレイン領域15の上側の領域に対してドライエッチングを行なうことにより、絶縁膜19に開口寸法が0.5 μ m \times 0.5 μ m程度で且つドレイン領域15を露出する接続孔であるコンタクトホール19aを開く。

【0059】次に、図3(c)に示すように、スパッタ法を用いて、絶縁膜19上にコンタクトホール19aの壁面及びドレイン領域15におけるコンタクトホール19a内の上面を含む全面にわたって膜厚が約0.1 μ mのイリジウム膜20Aを堆積する。続いて、白金イオンを含むめっき液に基板11を浸し、イリジウム膜20Aを陰電極とする電気めっき法を用いて、白金膜21Aが、イリジウム膜20Aにおけるコンタクトホール19aの上部にまで充填されるように電着を行なう。このとき、電極に対して断続的に電圧を印加すると、電圧が印加されない間にコンタクトホール19a内の白金のイオン濃度が回復するため、コンタクトホール19aの内部への電着を確実に行なえるようになる。

【0060】その後、化学的機械的研磨(CMP)法を用いて、絶縁膜19上に形成されたイリジウム膜20A及び白金膜21Aを除去することにより、コンタクトホール19aの内部に充填されたイリジウム膜20Aからなる下地導電膜及び白金膜21Aからなるプラグ21を形成する。続いて、コンタクトホール19a上に、下地導電膜20及びプラグ21の上端面と接するように、スパッタ法等を用いた白金からなる下部電極25、CVD法等を用いたSrBi₂Ta₂O₇からなる容量絶縁膜26、及びスパッタ法等を用いた白金からなる上部電極27とを順次堆積する。その後、堆積した積層膜に対して所定のバターンニングを行なって容量素子28を形成する。次に、1気圧の酸素雰囲気において温度が700℃のアニール処理を行なうことにより、図1及び図2に示す半導体メモリ装置を得ることができる。

【0061】第1の実施形態に係る半導体メモリ装置は、絶縁膜19の膜厚が0.8 μ mでコンタクトホール19aの開口寸法が0.5 μ m角であるため、アスペクト比が1よりも大きい。このような場合には、スパッタ法ではコンタクトホール19aに金属を充填することは極めて困難である。しかしながら、本実施形態においては、あらかじめ、コンタクトホール19aにおける壁面

及びドレイン領域15の上面にめっきの下地層となるイリジウム膜20Aをスパッタ法により形成しておき、この下地層を電極とする電気めっき法を用いてコンタクトホール19aに白金膜21Aを形成するため、コンタクトホール19aに白金膜21Aを確実に且つ迅速に充填できる。

【0062】また、CMP法を用いて、絶縁膜19の上面を平坦化するため、容量素子28の下部電極25を段差なく形成できるので、該下部電極25とプラグ21との密着性が良好となる。その結果、容量素子28の電気的特性が良好となり且つ容量素子同士のばらつきが生じにくくなる。さらに、アニール処理時における酸素の拡散が抑制されるので、安定して動作する半導体メモリ装置を製造することができる。

【0063】また、下地導電膜20を形成しない場合には、プラグ21を形成する際に、基板11自体を陰電極とすればよい。この場合には、絶縁膜19に白金膜21Aが電着しないため、CMP法を用いた白金膜21Aに対する除去工程が不要となるので、製造工程を簡略化できる。

【0064】また、コンタクトホール19aのアスペクト比が1よりも小さい場合には、プラグ21をスパッタ法を用いて充填してもよい。

【0065】(第2の実施形態)以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0066】図4は本発明の第2の実施形態に係る半導体メモリ装置の断面構成を示している。図4において、図2に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図4に示すように、トランジスタ17のドレイン領域15と容量素子28とを電気的に接続するためのコンタクトホール19aには、イリジウムからなるプラグ31が形成され、さらに該プラグ31とドレイン領域15との間には、プラグ31を構成するイリジウムの基板11側への拡散を防止する、膜厚が30nmの窒化チタン(TiN)からなるバリア層22が形成されている。

【0067】第2の実施形態によると、プラグ31を構成するイリジウムは酸化されても導電性を保つため、酸素雰囲気におけるアニール処理によりプラグ31中に酸素が拡散してもトランジスタ17と容量素子28との間の電気的な導通が損なわれない。さらに、プラグ31とドレイン領域15との間にバリア層22が設けられているため、プラグ31を構成するイリジウムがドレイン領域15に拡散することを防止できる。このため、ドレイン領域15とプラグ31との界面に、イリジウムとシリコンとが反応してなる反応層が形成される事態を防止できるので、動作特性に優れる半導体メモリ装置を確実に得ることができる。

【0068】なお、バリア層22とドレイン領域15との接触抵抗をより低減するには、バリア層22の下部

(基板側)をチタンとし、上部(プラグ側)を窒化チタンとする積層構造とすることが好ましい。

【0069】以下、前記のように構成された半導体メモリ装置の製造方法について図面を参照しながら説明する。

【0070】図5(a)~図5(c)は本発明の第2の実施形態に係る半導体メモリ装置の製造方法の工程順の断面構成を示している。

【0071】まず、図5(a)に示すように、p形シリコンからなる基板11上に所定の素子分離膜12を形成した後、基板上に全面にわたって熱酸化膜からなるゲート絶縁膜13を形成する。続いて、ゲート絶縁膜13上に全面にわたってポリシリコン膜を堆積し、堆積したポリシリコン膜に対してパターニングを行なってポリシリコンからなるゲート電極14を形成する。その後、ゲート電極14をマスクとするイオン注入法を用いて、基板11の上部におけるゲート長方向の領域にそれぞれヒ素等が注入されてなるドレイン領域15及びソース領域16を形成してMOS型のトランジスタ17を形成する。

【0072】次に、図5(b)に示すように、ソース領域16と接続されるようにポリシリコンからなるビット線18を形成する。その後、基板11上に全面にわたって膜厚が約0.8μmでTEOS膜等の絶縁膜19をトランジスタ17及びビット線18を覆うように堆積する。続いて、堆積した絶縁膜19におけるドレイン領域15の上側の領域に対してドライエッチングを行なうことにより、絶縁膜19に開口寸法が0.5μm×0.5μm程度で且つドレイン領域15を露出するコンタクトホール19aを開口する。

【0073】次に、図5(c)に示すように、例えばスパッタ法を用いて、ドレイン領域15上におけるコンタクトホール19aに露出する領域に、窒化チタン又はチタンと窒化チタンとの積層膜からなり膜厚が30nmのバリア層22を形成する。続いて、スパッタ法を用いて、絶縁膜19上にコンタクトホール19aの壁面及びバリア層22の上面を含む全面にわたって、イリジウム膜31Aをコンタクトホール19aが充填されるように堆積させる。その後、化学的機械的研磨(CMP)法を用いて、絶縁膜19上に形成されたイリジウム膜31Aを除去することにより、コンタクトホール19aの内部に充填されたイリジウム膜31Aからなるプラグ31を形成する。続いて、第1の実施形態と同様にしてコンタクトホール19a上に、プラグ31の上端面と接するように、下部電極25、容量絶縁膜26及び上部電極27とからなる容量素子28を形成する。次に、1気圧の酸素雰囲気中で温度が700℃のアニール処理を行なうことにより、図4に示す半導体メモリ装置を得ることができる。

【0074】このように、本実施形態に係る製造方法によると、コンタクトホール19aのプラグ31として、

10

20

30

40

50

酸化されても導電性を失わないイリジウムを用いると共に、プラグ31のイリジウムがトランジスタ17のシリコンと反応を起こさないようにするバリア層22をプラグ31と基板11との間に設けているため、酸素雰囲気におけるアニール処理による動作不良が発生しない半導体メモリ装置を製造できる。また、CMP法を用いて、絶縁膜19の上面を平坦化するため、容量素子28の下部電極25を段差なく形成できるので、該下部電極25とプラグ31との密着性が良好となる。

【0075】また、イリジウム膜31Aを堆積する方法として電気めっき法を用いると良い。すなわち、イリジウムイオンを含むめっき液に基板11を浸すと共に、基板11を陰電極とする電気めっき法を用いて、イリジウム膜31Aがコンタクトホール19aの上部に充填されるまで電着を行なう。電気めっき法を用いると、イリジウム膜31Aのコンタクトホール19aに対する充填がより確実に且つ迅速に行なえる。さらに、絶縁膜19がマスクとなって、コンタクトホール19aの内部にのみイリジウム膜31Aが形成されるため、CMP法による絶縁膜19上のイリジウム膜31Aの除去工程が不要となるので、製造工程を簡略化できる。

【0076】(第2の実施形態の一変形例)以下、本発明の第2の実施形態の一変形例について図面を参照しながら説明する。

【0077】図6は本発明の第2の実施形態の一変形例に係る半導体メモリ装置の断面構成を示している。図6において、図4に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図6に示すように、本変形例に係る半導体メモリ装置は、コンタクトホール19aの壁面及びバリア層22とプラグ31との間に、イリジウムからなり膜厚が約0.1 μ mの下地導電膜20を有している。

【0078】このような構成を持つ半導体メモリ装置は、図5に示すコンタクトホール形成工程の後に、スパッタ法を用いて、絶縁膜19上にコンタクトホール19aの壁面及びバリア層22の上面を含む全面にわたってイリジウム膜を堆積し、絶縁膜19上に堆積したイリジウム膜を陰電極とし、イリジウムイオンを含むめっき液を用いた電気めっきを行なって、コンタクトホール19aの上部にまでイリジウム膜31Aを充填することにより、プラグ31を形成する。

【0079】本変形例によると、電気めっき法を用いてプラグ31を形成する際に、あらかじめコンタクトホール19aを含む絶縁膜19上の全面にイリジウムからなる下地導電膜20を形成するため、コンタクトホール内へのイリジウム膜31Aの充填がより容易に且つより迅速に行なえるようになる。ここでも、電気めっき工程における電圧の印加を断続的に行なうことが好ましい。

【0080】(第3の実施形態)以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0081】図7は本発明の第3の実施形態に係る半導体メモリ装置の断面構成を示している。図7において、図2に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図7に示すように、トランジスタ17のドレイン領域15と容量素子28とを電気的に接続するための深さが0.8 μ m程度のコンタクトホール19aには、白金からなるプラグ41が形成され、さらに該プラグ41とドレイン領域15との間に、膜厚が約0.1 μ mでイリジウムからなる下地導電膜20を介在させて、膜厚が約30nmの窒化チタンからなるバリア層22が形成されている。

【0082】下地導電膜20はバリア層22の上面に限らず、コンタクトホール19aの壁面及び絶縁膜19上におけるコンタクトホール19aの周縁部にも広がるように形成されている。

【0083】図7に示すように、プラグ41の上端部は下地導電膜20の上に積層されていると共に、プラグ41の絶縁膜19上の端面は、下地導電膜20の絶縁膜19上の端面とほぼ連続するようにバターニングされている。これにより、プラグ41の上面はコンタクトホール19aの上端部よりも0.2 μ m程度高くなっている。

【0084】このように、プラグ41は下地導電膜20を含めて絶縁膜19上に張り出す張出部41aを有しており、本実施形態に係る容量素子28は、この張出部41aを下部電極として形成されていることを特徴とする。

【0085】このように、第3の実施形態によると、容量素子28に対する酸素雰囲気におけるアニール処理時に、プラグ41が酸化されない白金により構成されているため、プラグ41に酸素が拡散したとしてもトランジスタ17と容量素子28との間の電気的導通が損なわれることがない。また、下地導電膜20には、酸化されても導電性を有し且つ酸素の拡散を抑えるイリジウムを用いているため、シリコンからなるドレイン領域15が酸素の拡散によって酸化されることを防止できる。その結果、トランジスタ17と容量素子との導通不良が生じなくなるので、微細化された半導体メモリ装置であってもその動作が保証される。

【0086】さらに、容量素子28の下部電極がプラグ41と一体に形成されているため、プラグと下部電極とが異なる部材で構成されている場合のような、両者間の反応を防止することができる。

【0087】なお、製造工程を簡素化する上で、バリア層22を省略することも可能であるが、この場合には、下地導電膜20のイリジウムと基板11のシリコンとの間で若干の反応が生じることも考えられる。

【0088】以下、前記のように構成された半導体メモリ装置の製造方法について図面を参照しながら説明する。

【0089】図8(a)～図8(c)は本発明の第3の

実施形態に係る半導体メモリ装置の製造方法の工程順の断面構成を示している。

【0090】まず、図8(a)に示すように、p形シリコンからなる基板11上に所定の素子分離膜12を形成した後、基板上に全面にわたって熱酸化膜からなるゲート絶縁膜13を形成する。続いて、ゲート絶縁膜13上に全面にわたってポリシリコン膜を堆積し、堆積したポリシリコン膜に対してパターニングを行なってポリシリコンからなるゲート電極14を形成する。その後、ゲート電極14をマスクとするイオン注入法を用いて、基板11の上部におけるゲート長方向の領域にそれぞれヒ素等が注入されてなるドレイン領域15及びソース領域16を形成してMOS型のトランジスタ17を形成する。

【0091】次に、図8(b)に示すように、ソース領域16と接続されるようにポリシリコンからなるビット線18を形成する。その後、基板11上に全面にわたって膜厚が約0.8μmでTEOS膜等の絶縁膜19をトランジスタ17及びビット線18を覆うように堆積する。続いて、堆積した絶縁膜19におけるドレイン領域15の上側の領域に対してドライエッチングを行なうことにより、絶縁膜19に開口寸法が0.5μm×0.5μm程度で且つドレイン領域15を露出するコンタクトホール19aを開く。

【0092】次に、図8(c)に示すように、例えばスパッタ法を用いて、ドレイン領域15上におけるコンタクトホール19aに露出する領域に、窒化チタン又はチタンと窒化チタンとの積層膜からなり膜厚が30nmのバリア層22を形成する。続いて、スパッタ法を用いて、絶縁膜19上にコンタクトホール19aの壁面及びバリア層22の上面を含む全面にわたって膜厚が約0.1μmのイリジウム膜20Aを堆積する。その後、リンググラフィ法を用いてイリジウム膜20A上におけるコンタクトホール19a及びその周縁部に開口部42aを有するレジストパターン42を形成する。続いて、白金イオンを含むめっき液に基板11を浸し、イリジウム膜20Aを陰電極とする電気めっき法を用い、レジストパターン42をマスクとして、イリジウム膜20Aにおけるコンタクトホール19aの内部及びコンタクトホール19aの上端の周縁部に白金からなるプラグ41を形成する。このとき、電極に対して断続的に電圧を印加すると、電圧が印加されない間にコンタクトホール19a内の白金のイオン濃度が回復するため、コンタクトホール19aの内部に対する電着を確実に行なえる。

【0093】次に、レジストパターン42を除去し、その後、イリジウム膜20Aにおけるレジストパターン42が形成されていた領域をプラグ41における絶縁膜19上の端面とほぼ同一の端面が得られるように除去する。続いて、プラグ41上に、該プラグ41の上面と接するように、容量絶縁膜26及び上部電極27を形成することにより、プラグの張出部41aからなる下部電極、容

量絶縁膜26及び上部電極27により構成される容量素子28を実現できる。次に、1気圧の酸素雰囲気中で温度が700℃のアニール処理を行なって、図7に示す半導体メモリ装置を得ることができる。

【0094】なお、コンタクトホール19aのアスペクト比が1よりも小さいような場合には、プラグ41を電気めっき法の代わりにスパッタ法を用いてもよい。この場合には、レジストパターン42をリフトオフすれば、レジストパターン42上に堆積する白金膜を同時に除去できる。

【0095】このように、本実施形態に係る製造方法によると、絶縁膜19上のコンタクトホール19a及びその周縁部に開口部42aを有するレジストパターン42をマスクとすることにより、白金からなるプラグ41を堆積する領域を限定することができるため、コンタクトホール19aを埋め込むプラグ41と容量素子28の下部電極を同時に形成することができるので、製造工程を簡略化ができる。

【0096】なお、各実施形態及びその変形例においては、プラグ21、31、41に白金又はイリジウムを用いたが、他の白金族元素を用いてもよい。例えば、オスミウム(Os)、パラジウム(Pd)、ロジウム(Rh)又はルテニウム(Ru)でもよく、白金族に含まれないレニウム(Re)であってもよい。また、これらのうちの2種類以上の合金であってもよい。

【0097】また、バリア層22として、窒化チタンを用いたが、金属窒化物を用いることができ、なかでも窒化タングステン(WN)や窒化タンタル(TaN)等のIV族、V族又はVI族の遷移金属の窒化物を用いることが好ましい。

【0098】また、容量素子28の容量絶縁膜26に $SrBi_xTa_{1-x}O_3$ を用いたが、 Ta_xO_3 、 $Ba_xSr_{1-x}TiO_3$ (但し、 x は $0 \leq x \leq 1$ とする。)等の高誘電体又は $PbZr_yTi_{1-y}O_3$ (但し、 y は $0 \leq y \leq 1$ とする。)等の強誘電体を用いてもよい。

【0099】また、プラグを介して電氣的に接続される半導体素子はトランジスタや容量素子に限らない。例えば、トランジスタ17の代わりに抵抗素子等の半導体素子を設けてもよい。

【0100】また、基板11としてp形シリコンを用いたが、n形シリコンであってもよく、この場合には、トランジスタ17のドレイン領域15及びソース領域16をそれぞれIII族元素をドーピングして形成することはいうまでもない。

【0101】

【発明の効果】本発明に係る第1の半導体装置によると、酸素雰囲気のアニール処理を行なっても、接続孔に形成され、それぞれ白金族元素を含む下地導電膜及び導電膜と半導体素子との電氣的な接続が良好のまま維持されるので、半導体装置の信頼性が向上する。

19

【0102】本発明に係る第2の半導体装置によると、第1の半導体装置と同様の効果を得られる上に、接続孔の下部に導電膜の構成元素が基板側に拡散することを防止するバリア層を備えていることにより、動作特性がさらに向上する。

【0103】本発明に係る半導体装置の製造方法によると、接続孔の下部に形成された白金族元素を含む下地導電膜を一電極とする電気めっき法により、接続孔に白金族元素を含む導電膜を確実に充填することができるため、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体メモリ装置を示す平面図である。

【図2】本発明の第1の実施形態に係る半導体メモリ装置を示し、図1のII-II線における断面図である。

【図3】(a)～(c)は本発明の第1の実施形態に係る半導体メモリ装置の製造方法を示す工程順の断面図である。

【図4】本発明の第2の実施形態に係る半導体メモリ装置を示す断面図である。

【図5】(a)～(c)は本発明の第2の実施形態に係る半導体メモリ装置の製造方法を示す工程順の断面図である。

【図6】本発明の第2の実施形態の一変形例に係る半導体メモリ装置を示す平面図である。

【図7】本発明の第3の実施形態に係る半導体メモリ装置を示す断面図である。

【図8】(a)～(c)は本発明の第3の実施形態に係る*

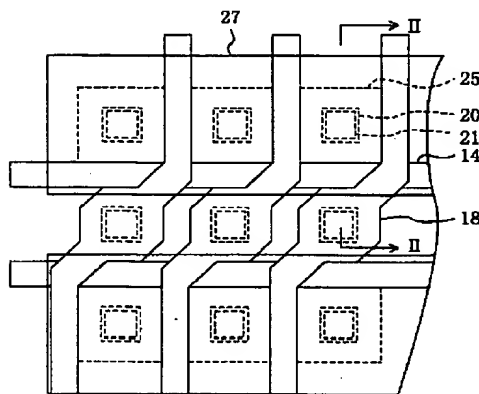
*る半導体メモリ装置の製造方法を示す工程順断面図である。

【図9】従来の半導体メモリ装置を示す断面図である。

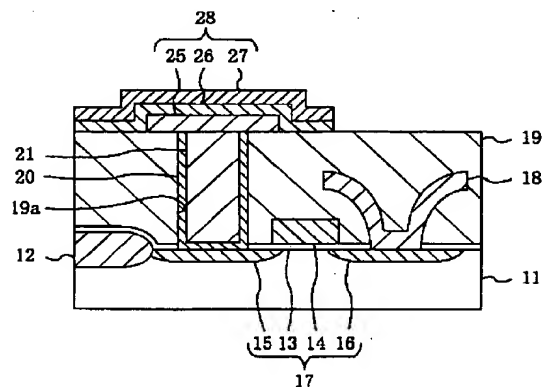
【符号の説明】

- 11 基板
- 12 素子分離膜
- 13 ゲート絶縁膜
- 14 ゲート電極
- 15 ドレイン領域
- 16 ソース領域
- 17 トランジスタ
- 18 ビット線
- 19 絶縁膜
- 19a コンタクトホール（接続孔）
- 20 下地導電膜
- 20A イリジウム膜
- 21 プラグ（導電膜）
- 21A 白金膜
- 22 バリア層
- 25 下部電極
- 26 容量絶縁膜
- 27 上部電極
- 28 容量素子
- 31 プラグ（導電膜）
- 31A イリジウム膜
- 41 プラグ（導電膜）
- 41a 張出部（下部電極）

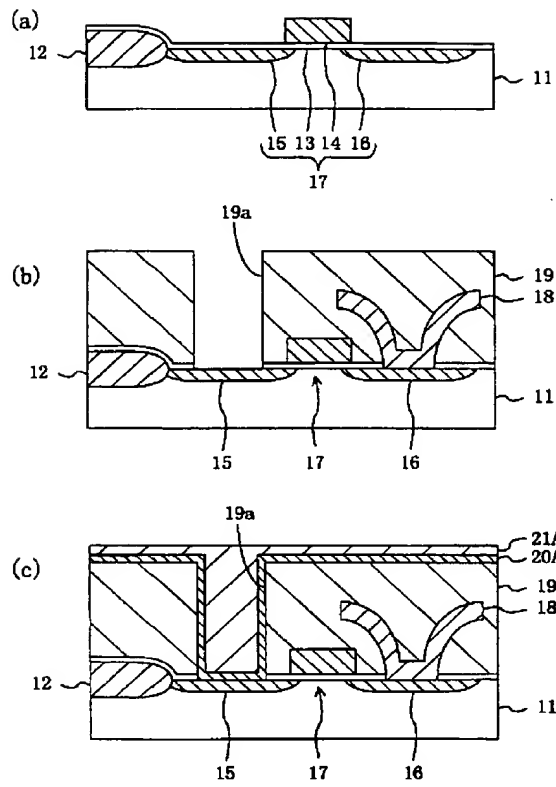
【図1】



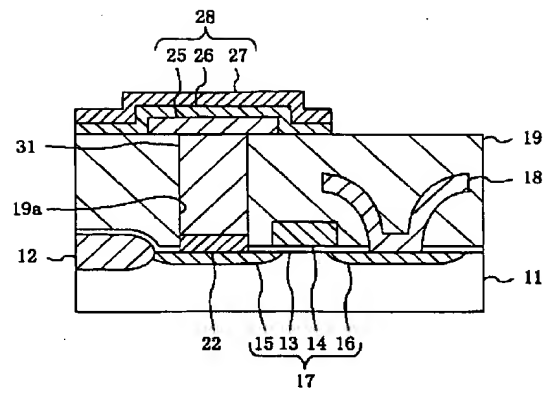
【図2】



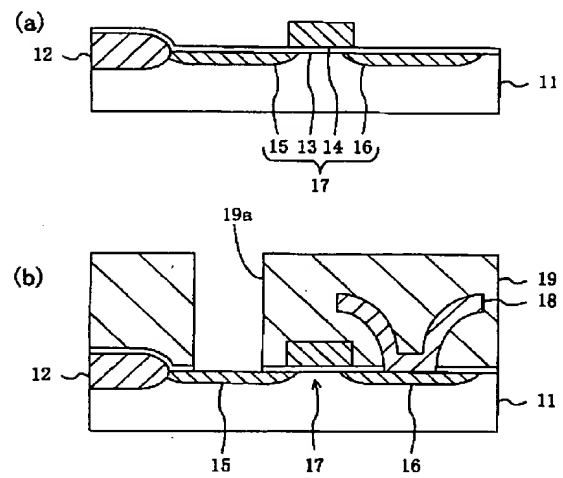
【図 3】



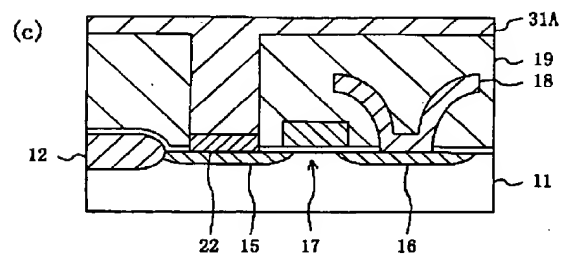
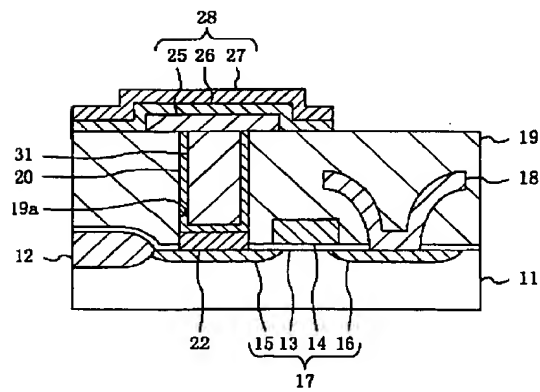
【図 4】



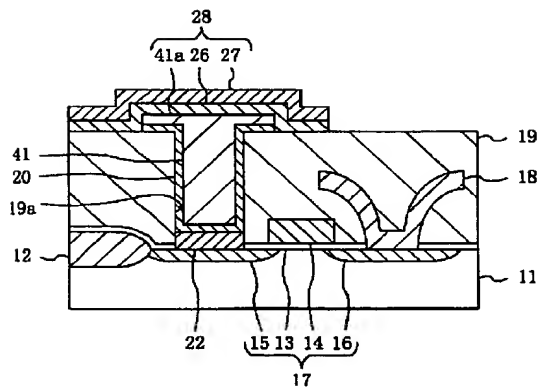
【図 5】



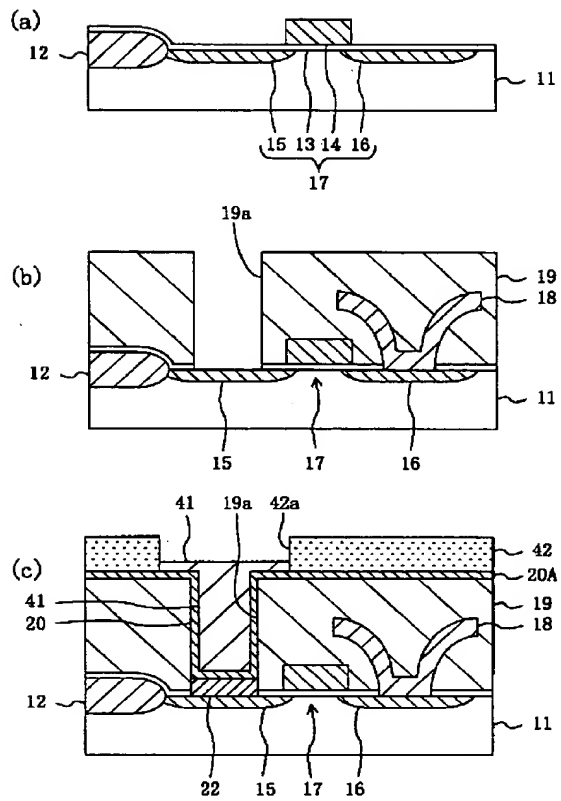
【図 6】



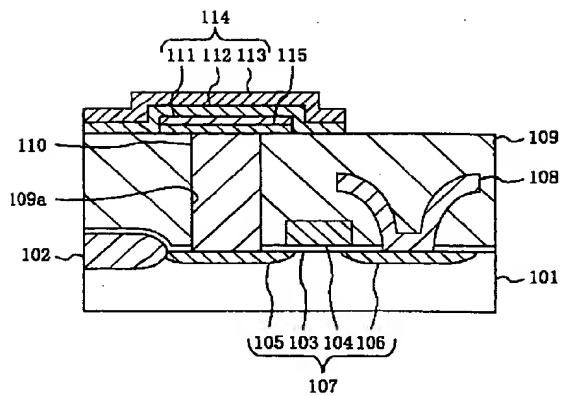
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.⁷
H01L 21/8247
29/788

識別記号

F I
H01L 29/78

テーマコード(参考)

371

29/792

(72)発明者 十代 勇治
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(72)発明者 野間 淳史
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内